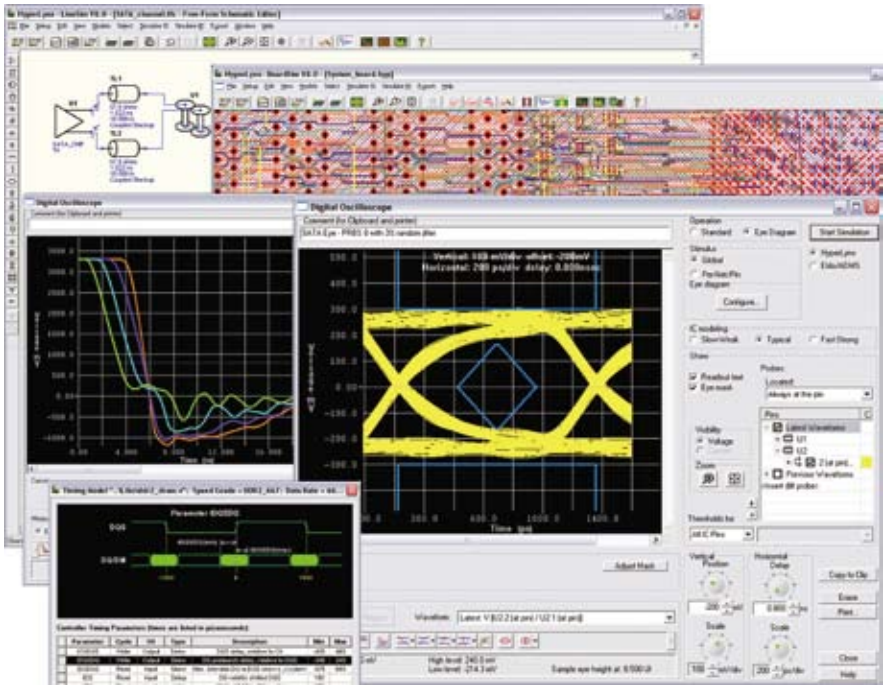
HyperLynx SI

Advanced Signal Integrity Analysis

High Speed Design

D A T A S H E E T



HyperLynx SI includes tools for pre- and post-layout signal integrity, timing, crosstalk, and EMC analysis, for signals ranging from 0 Hz to multi-GHz.

제품의 주요 이점

- 업계에 잘 알려진 사용 편리성을 통해, 짧은 시간에 결과 확인
- Trace의 임피던스, 커플링, 주파수에 따른 손실에 대한 정확한 모델링
- 수동부품, Trace 구조와 길이, Driver 설정 등에 대해 변동에 따른 결과 확인
- Terminator Wizard가 최적의 Termination 방법을 추천
- DDR, DDR2, 그리고 DDR3를 위한 타이밍 분석기능 내장
- FastEye™ 분석, S-parameter 해석, BER 예측을 포함한 업계 선두의 SERDES 지원
- 앞선, 실제적인 via 모델링
- 잠재적인 EMC 문제를 초기에 검토
- CES와 통합
- 모든 주요 CAD 프로그램 데이터 사용 가능

개요

Signal Integrity(SI) 분석은 요즘의 전자기기 디자인의 필수 요소이다. 오늘날의 IC에서 점점 더 빨라지는 edge rate은 심지어 낮은 동작 주파수에서 동작하는 PCB 디자인에서도 나쁜 영향을 미친다. Driver IC가 빠르게 스위치 함에 따라 over/undershoot, ringing, glitching, crosstalk, timing 문제들을 포함한 신호 품질 하락으로 문제가 되는 보드의 수가 늘어가고 있다. 품질의 하락은 보드에서 동작이 실패할 만큼 매우 심각하다.

하드웨어 엔지니어, PCB 디자이너와 SI 전문가들은 HyperLynx를 한 팀으로 사용할 수 있다. 몇 주간의 소프트웨어 교육 없이도 해석 결과를 얻을 수 있다. 강조할만한 것은 연구실에서 비용적으로 과도한 디자인을 피하거나 되풀이되는 레이아웃, 시제품과 테스트 사이클을 줄이는 좋은 디자인을 처음에 얻을 수 있다는 것이다.

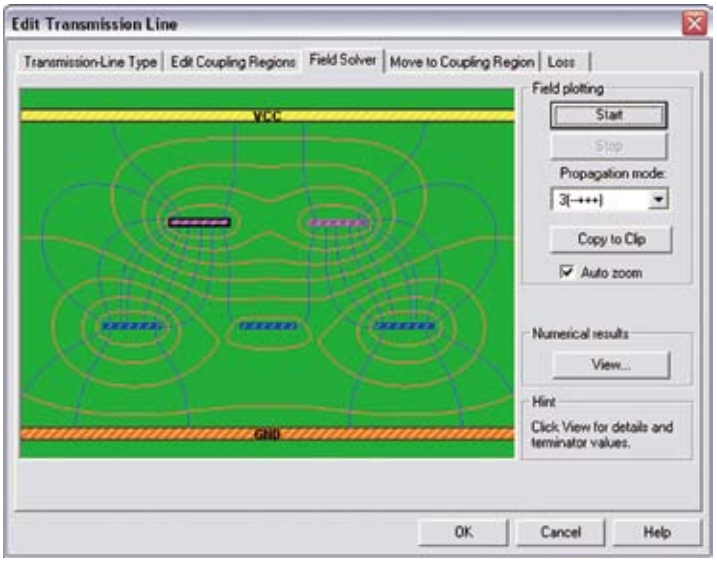
완벽한 SI와 EMC 분석 모음도구

HyperLynx를 이용하면, 설계 단계에서 시작하고 레이아웃 이후에 검증으로 이동하는 디자인 사이클에서 고속 PCB 문제들을 다룰 수 있다. 이런 절차는 연구실에서 오실로스코프나 스펙트럼 분석기를 사용하는 것처럼 쉽다.

Pre-layout 분석

레이아웃 이전의 해석은 SI 문제들을 사전에 예측하거나 제거할 수 있다. 그러면 사전에 제약조건을 두고 배선을 할 수 있고 적층 구조에 대해 계획하고 레이아웃 이전에 클럭과 다른 중요한 신호들의 topology와 termination을 최적화 할 수 있다. 심볼을 이용한 전송선 모델링 방법은 처음에 올바른 디자인을 얻을 수 있는 이상적인 방법이다. HyperLynx SI는 다음의 것들을 가능하게 한다.

- IC, 전송선, 케이블, 커넥터, 수동 부품을 포함한 복잡한 연결 구성을 빠르게 입력
- 업계 표준인 IBIS 모델, HyperLyxn의 18,000 모델 IC 라이브러리, 일반적인 모델 혹은 데이터 북 정보를 이용해 만든 모델을 이용하여 빠르게 해석
- Visual IBIS 에디터를 이용하여 계층적이고 자동화된 문법형태로 IBIS 모델을 확인하고 편집
- HSPICE, ELDO, AMS, S-parameter, IBIS모델 등의 조합을 쉽게 표현



- PCI Express, DDR2, PCI-X와 같은 기술에 대해, 처음부터 시작하거나 해당 design kits 혹은 많은 FPGA design kits중 하나를 응용 가능
- FastEye™를 이용하여 시리얼 인터페이스의 비트 에러율(BER), 악조건의 bit 배열, eye diagram을 단 몇 시간만에 정확하게 예측

Post-layout 검증

레이아웃 이후 검증은, PCB 레이아웃 시스템에서 부품을 배치 후, 중요한 net를 배선 후, 그리고 전체 보드에서 세부적인 배선 후, 이들 세가지 중요한 단계에서 신호 무결성과 타이밍을 분석한다.

- Batch 해석은 자동으로 전체 보드의 많은 수의 net를 검사하고 SI와 EMC의 문제가있는 곳을 표시
- Interactive 해석을 통해 batch 해석에서 문제점으로 확인된 것에 대해 다음 단계 해석을 진행 가능
- Quick terminator는 termination 부품을 쉽게 적용하여 실시간 해석이 가능
- Trace topology와 IC 배치에 대해 crosstalk 파형을 정확히 예측하고, crosstalk 한계를 위반하는 해당 조건의 단면도를 확인할 수 있음
- EBD 모델과 커넥터 모델을 지원하는, 강력하고 쉬운 멀티보드 해석
- DDRx wizard는 타이밍을 포함하여 DDR, DDR2, DDR3 메모리 시스템을 완벽하게 분석

지원되는 PCB Layout 시스템

- Mentor Graphics PADS® Layout, Expedition™ PCB and Board Station®
- Cadence Allegro, SPECCTRA and OrCAD Layout
- Altium Protel and P-CAD
- Intercept Pantheon
- Zuken CADStar, Visula and CR3000/5000 PWS or Board Designer

지원되는 플랫폼

- Windows 2000/XP/Server2003, Linux RHEL 3/4/5 and SLES 9/10

Visit our website at www.mentor.com/pcb

Copyright © 2009 Mentor Graphics Corporation. Mentor products and processes are registered trademarks of Mentor Graphics Corporation.
All other trademarks mentioned in this document are trademarks of their respective owners.

Corporate Headquarters
Mentor Graphics Corporation
8005 SW Boeckman Road
Wilsonville, OR 97070-7777
Phone: 503.685.7000
Fax: 503.685.1204

Sales and Product Information
Phone: 800.547.3000

Pacific Rim
Mentor Graphics (Taiwan)
Room 1001, 10F
International Trade Building
No. 333, Section 1, Keelung Road
Taipei, Taiwan, ROC
Phone: 886.2.87252000
Fax: 886.2.27576027

Korea
Mentor Korea Co., Ltd
Rm2104, Trade Tower,
World Trade Center
Samseong-Dong, Gangnam-Gu,
Seoul 135-729, Korea
Phone : 82 2 551 3434
Fax : 82 2 551 2336